This Page Is Inserted by IFW Operations and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representation of The original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

As rescanning documents will not correct images, please do not report the images to the Image Problem Mailbox.

PATENT ABSTRACTS OF JAPAN

(11)Publication number:

06-112810

(43)Date of publication of application: 22.04.1994

(51)Int.CI.

H03K 19/173 H01L 27/04 H03K 19/096

(21)Application number: 04-285249

(22)Date of filing:

(71)Applicant: SONY CORP

30.09.1992

(72)Inventor: FUKUDA SHINICHI

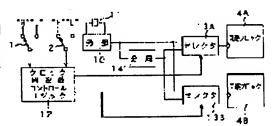
FUKAMI TADASHI

MOROHOSHI ARIHIRO

(54) DIGITAL IC DEVICE

(57)Abstract:

PURPOSE: To minimize the power consumption required for each mode by reducing the power consumption of a circuit block not in use. CONSTITUTION: A clock signal with a usual frequency from an oscillating circuit 10 or a clock signal with a frequency lower than the usual frequency resulting from frequency-dividing the signal from the circuit 10 at a frequency divider circuit 14 is selected by selectors 13A, 13B and fed to clock input terminals of circuit blocks 4A, 4B being different function blocks in a digital IC. The selectors 13A, 13B are selectively controlled with a signal from a clock frequency control logic circuit 12 receiving the signal from mode changeover switches 1, 2, and the clock signal with a lower frequency than the usual frequency is sent to the circuit block not in use depending on the mode.



(12)公配特許公報(4) (18)日本田称許庁 (JP)

(11)称非五國公配命中

「韓女項1】 内部が複数の磁筒プロックに分かれて様 成され、所定の動作モード時に使用される第1のプロッ クと使用されない第2のプロックとを有するディジタル 上配所定の動作モード時に上配第2のプロックのフリッ プフロップのクリア語子にクリア信号を供給することを 【館水頂2】 内部が複数の価値プロックに分かれて得 成され、所定の動作モード時に使用される第1のプロッ クと使用されない類2のプロックとを有するディジタル 上配所定の動作モード時に上配第2のプロックへの入力

(物件観火の範囲)

特開平6-112810

(43)公開日 平成6年(1994)4月22日

Ē 广内数阻拳导 8383-5] M7-1276 8221-5 J Z **电阻阻** 101 19/173 19/008 H011 27/04 H 0 3 K H 0 3 K (51)btQ.

審査請求 未請求 請求項の数5(全7 頁)

(21)出版 号	44年14-285249	(71) 出題人 00002185	000002185
			ソニー株式会社
(22) 班爾日	平成4年(1992)9月30日		東京都品川区北島川 8 丁目 7 春36号
		(72)条明者	植田 伊一
			東京都品川区北岛川 8丁目 7 参55号
			一条式会社内
		(72)発明者	類見 正
			東京都品川区北岛川 6丁目7 春35号
			一种对体件
		(元)条明者	器型 在帝
			東京都品川区北岛川 6丁目 7 書56号
			一体式会社内
		(4)代理人	(74)代理人 弁理士 小池 晃 (712名)

(54) 【発明の名称】 ディジタル1C被置

よっては使用しない回路プロック側に上包通常よりも低 [構成] ディジタル1C内の異なる機能プロックでも る回路ブロック4A、4Bへのクロック入力値子に、殆 极回路 1 0 かちの通常の周波数のクロックと、分周回路 レクタ13A、13Bは、モード切換スイッチ1、2か ちの信号が入力されるクロック周波数コントロールロジ ック回路12からの信号により遊択回仰され、モードに 1.4で分周した通常より低い周波数のクロックとを、セ レクタ13A、13Bでそれぞれ選択して供給する。 セ い周波数のクロックを送るようにする。

し、モードによって必要扱小田の消費性力で済むように [効果] 使用しない回路プロックの消費電力を少なく

拉斯我示留所

節数とするディジタル 1 C 独展。

I C独倒において、

[膝水頂3] 内部が複数の機能プロックに分かれて領 成され、所定の動作モード時に使用される第1のプロッ クと使用されない第2のプロックとを有するディジタル 1 C被倒において、

作号を全て固定することを特徴とするディジタルIC質

1 C独倒において、

上配所定の動作モード時に上配第2のプロックのフリッ ブフロップへのクロックを停止することを斡復とするデ ィンタル1C強便

7

7

1

【膝状掻4】 内部が複数の磁位プロックに分かれて様 成され、所定の動作モード時に使用される第1のプロッ クと使用されない第2のプロックとを有するディジタル 1 C被倒において、 上配所定の動作モード時に上配数2のプロックのダイナ 周波数のクロックに変えて供給することを特徴とするデ ミックフリップフロップへのクロックを、通常より低い **メジタル1C被配** 【雛女仏5】 内部が複数の磁位プロックに分かれて様 成され、所定の動作モード時に使用される第1のプロッ クと使用されない第2のプロックとを有するディジタル 1 C被倒において、

上配所定の動作モード時に上配第2のプロックのフリッ に、クロック入力協子に通常より低い周波数のクロック プフロップのクリア協子にクリア信号を供給すると共 を供給することを特徴とするディジタル I C装置

[発明の詳細な説明] 0001

[産業上の利用分野] 本発明は、内部がいくつかの機能 プロックに分かれているディジタル1C装置に関する。 0002 [弑来の技術] 近年において、オーアィオ信号やとゲオ 間多をディジタル化したディジタル値も等を包載・耳生 したり送信・受信したりするためのディジタル機器が各 国関発され、市場に提供されており、このようなディジ タル機器に用いられるディジタル信号処理用の I C (集 質回路)も多くの領数のものが知られている。

[0003] このようなディジタル1 Cの中で、複数の

機能や動作モードを持つものも多数存在している。例え ば、ディジタルオーディオテーブレコーダ (DAT) の 配録・再生信号処理用1Cにおいては、大別して記録モ ードと円生モードとを移っている。この**多様**切タイプの 1 Cは、一般に内部が複数の価値プロックに分かれてい ることが多く、これもの複数の機能プロックの内で、上 記動作モードによっては使用されないプロックが生じる ことがある。例えば、上配配版・再生信号処理用1Cの 場合に、記録モード時では、再生にしか使用されないプ ロックは不必要であり、実質的に有効な動作をしていな

[0004]

[発明が解決しようとする観題] ところで、上述したよ 使用されないプロック(例えば上配再生時専用のプロッ り)にデータが入力されていたり、クロックが入力され ていたりすると、そのブロックの出力を何ら使わないに もかかわちず動作していることになる。 いわゆるCMO S プロセスによるディジタル1 Cでは、内部の1/0の 状態が変化するときに電流が流れるから、使用されてい ないプロックでもデータ入力やクロック入力的によって 1/0状態の変化が生じれば、低流が消費されることに **うにある所定のモード (例えば上配配像モード) 時に、**

【0005】本発明は、このような実備に個みてなされ たものであり、動作モードによって使用されない機能ブ ロックにしいたは、その懸合ホード中になける結束負貨 を必要最小限に抑え、10の電力消費量を軽減し得るよ うなディジタル1C装置の提供を目的とするものであ

[9000]

日類2のブロックのフリップフロップへのクロックを存 [映盟を解決するための事政] 本発明に係るディジタル IC装置によれば、内部が複数の価値プロックに分かれ て構成され、所定の動作モード時に使用される低1のプ ロックと使用されない第2のプロックとを有するディジ タル1 C装置において、上配所定の動作モード時に、上 日第2のブロックのフリップフロップのクリア 超子にク リア信号を供給することにより、又は、上配第2のプロ ックへの入力信号を全て固定することにより、又は、上 止することにより、又は、上配質2のプロックのダイナ ミックフリップフロップへのクロックを通常より低い個 数数のクロックに変えて供給することにより、又は、上 **府部2のプロックのフリップフロップのクリア 超子にク** リア信号を供給すると共にクロック入力猶子に当常より 低い周波数のクロックを供給することにより、上述の眼

り、入力信号を固定したり、クロックを停止义は低い周 [作用] 所定の動作モード時には使用されない第2のプ ロックについて、フリップフロップをクリア状態とした [0000]

3

[0008]

[実施例] 以下、本発明は保るディジタル I C装置のい 覧男する。図1~図4は、本発明に保るディジタル1C 装置の第1~第4の実施例の概略構成をそれぞれポナプ ッチ1、2、及び回路プロック4A、4日が用いられて くらかの好ましい安施倒について、図面を参照しながら ロック図であり、いずれの実施例においても、切換スイ

応じて使用される 合と使用されない場合とが生ずる回 2の回路プロック4Bは使用されない第1の動作モード も第2の回路プロック4日もいずれも使用されない第0 【0009】これちの図1~図4において、ディジタル の回路プロック4Aと、第2の回路プロック4Bとが散 グ)用の配像・再生用の信号処理ICにおける配象時費 用回路部及び再生的専用回路部のように、動作モードに 路ブロックに相当するものである。この場合の動作モー ドとしては、第1の回路プロック4Aのみが使用され第 と、第2の回路プロック4日のみが使用され第1の回路 考えられるが、これ以外にも、第1の回路プロック4A の動作モードと、第1の回路プロック4A及び第2の回 I C数質の内部の機能プロックとして、少なくとも類 I プロック4Aは使用されない類2の動作モードとが先す 路プロック4Bの双方が共に使用される第3の動作モー けられている。これらの回路プロック4A及び4日は、 例えば、DAT (ディジタルオーディオテープレコー ドとが考えられる。

するときの、上記4つの動作モードの具体例について観 的にとってのスタンパイモードともいえる。また、上記 前3の動作モードは、配像(緑苷)同時モニタモードの [0010] ここで、上述したDATの配録・再生用信 めの信号処理を行わないときであり、記録や再生用の回 に、上記類2の動作モードは再生モードにそれぞれ相当 ナろことは明かであるが、さらに、上配筋0の動作モー ドは、テープの早送りや 戻しのように配録や再生のた ように、配象用信号処理と再生用信号処理の両方が同時 9 処態:Cにおける配数時毎用回路時が回路プロック4 Aであり、再生時専用回路が回路プロック4Bであると 月する。上記第1の動作そードは記録(殿音)・モード こ必要とされるモードである。

作モードに応じて四模状態が変化するものであり、2つ 4台には、辺襲スイッチ1、2の状態"00"を上配筋 【0011】切換スイッチ1、2は、上述したような動 の空後スイッチ1、2の空後状態に応じた上配4つの動 お"し" (ローフベケ) や頭択つかり切換スイッチ2が "01"と扱して、上記第1の動作モードに対応させる 作モードを投すことができる。例えば、切換スイッチ1 "H" (ソイフスケ) や道状したいる状態"しH"や

ドに、また状態"11"を上配第3の動作を一ドに、そ 2の状態や上記4つの動作モードとの対応関係勢につい 0の動作モードに、状態"10"を上記第2の動作モー たぞれ対応させることができる。この図様スイッチ1、 ては、上記具体例に限定されず、任意に散定すればよ [0012] 先手図1は、本部別に保るディジタル1C 装置の第1の実施例の概略構成を示すプロック回路圏で ある。この図1において、四췢スイッチ1、 2かちの出 力信号は、現在選択された上記動作モードを指示する信 **身として、クリアコントロールロジック回路 3 に送られ** ている。このクリアコントロールロジック回路3は、現 A、4Bの例えばフリップフロップの各クリア協子にク 在の動作モードに応じて、IC内の各回路プロック4 リア信号を送るものである。

は、他の回路部やIC外部等から回路プロック4Aに送 られるn個の入力信号が各入力協子7A」、7A2、・

個のアンドゲート6 Ai、 6 A2 、・・・、6 An に

がクリアコントロールロジック回路3内でそれぞれ反転 の回路プロック4A、4Bの各クリア協子に送られて各 上記状盤 "01" より、切換スイッチ1が"し"を、切 [0013] このクリアコントロールロジック回路3の 具体的な構成としては、切換スイッチ 1 からの出力信号 を反転して回路プロック4Bのクリア協子に、切換スイ ッチ2からの出力信号を反転して回路プロック4人のク リア始子に送るような構成とすればよい。この場合、上 記第0の動作モード時には、上記状態"00"より、切 換スイッチ1、2でいずれも。し。 が選択され、これら されることで"H"のクリア信号となり、これらが両方 回路プロック4A、4Bの各フリップフロップがいずれ **換スイッチ2が"H"をそれぞれ選択し、クリアコント** もクリア状態とされる。上記第1の動作モード時には、 ロールロジック回路3では、四様スイッチ1からの

"10")時には、回路プロック4Aがクリア状態で回 "し"を反転して"H"のクリア信号を回路プロック4 Bのクリア蝎子に、切換スイッチ2からの"H"を反転 4 Nのクリア鑷子にそれぞれ込る。 絞って、回路ブロッ ク4Aは通常の動作状態で回路プロック4Bがクリア状 路プロック48は通常の動作状態となり、また、上配第 3の動作モード (状態"11") 時には、回路プロック して"し"の信号(クリアしない信号)を回路ブロック 題となる。以下同様に、上記第2の動作モード(状態 4A、4B共に通常の動作状態となる。

て、上述したように動作モードによっては使用されない クリア状態とされたプロックは、1/0の状態の変化が なくなるため、流れる電流の量が低減され、IC回路全 体での魅力消費量を抑えることができる。これは、特に いわゆるCMOSプロセスで作られたICの場合に販券 [0014] これらの回路プロック4A、4Bにおい に見れる数果である。

として、各回路ブロック4A、4Bへの入力を固定する 明を示している。すなわち、切換スイッチ1、2からの [0015] 次に、図2は、本発明に保る第2の実施例

ることができる。 間号を入力イネーブルコントロールロジック回路 5 に送 っており、この入力イネーブルコントロールロジック回 略5からの一の出力信号を、回路プロック4Aへのn値 の入力を制御するためのn個のアンドゲート6 A』、6 ク4日へのm個の入力を制御するためのm個のアンドゲ -ト6 B1 、6 B2 、・・、6 Bm に送っている。n ールロジック回路5からの他の出力信号を、回路プロッ A2 、、、、 6 Anに送り、入力イネーブルコントロ

B1、6B2、・・・、6Bmには、他の回路部や1C 外部等から回路プロック4日に送られる中国の入力信号 が各入力端子7 Bi、7 B2、・・・、7 Bm より供給 ・、6Anからの出力信号は、回路プロック4Aのn倒 m個のアンドゲート6 BI 、 6 B₂ 、・・、、 6 B_n か 5の出力信号は、回路プロック4Bのm個の入力磕子 I されている。n倒のアンドゲート6AI、6A2、・・ ・・、7 An より供給され、m個のアンドゲート6 B1、1B2、···、1Bm に送られる。

導通(オン)状態となって各入力信号が回路プロックに ~6 An に *H* 信号が送られるとき、これらのアンド ロックBのm個の入力超子1B₁ ~1B_n ~の各入力信 [0016] この場合、入力イネーブルコントロールロ ジック回路5から"H"信号が送られるアンドゲートが (オフ) 状態となって回路プロックへの各入力信号は例 えば"し"に固定される。例えば、人力イネーブルコン て、各人力数子 $7 \, A_1 \sim 7 \, A_n$ からの各入力信号が回路 プロック4Aのn個の入力塩子1A1~1An にそれぞ れ供給され、また例えば、入力イネーブルコントロール に"し"信号が送られるとき、これらのアンドゲート6 B1 ~6 Bm が全て基断 (オフ) 状御となって、回路ブ ロジック回覧5からm窗のアンドゲート6 B」~6 Bm トローケロジック回路5からn窗のアンドゲート6Al ゲート6A1 ~6An が全て導通 (オン) 状態となっ 供給され、・し、信号が送られるアンドゲートが遮断 身は全て"L" (あるいは"O") に固定される。

【0017】 入力イキープケコントローケロジック回路 5の具体倒としては、切換スイッチ1からの出力信号を そのままm個のアンドゲート6 B』~6 Bm に送り、切 の場合、例えば上記状態 "0.1"の第1の動作モード時 2の出力が *H* でもるから、入力イネーブルコントロ **- ルロジック回路5からアンドゲート6B1~6Bg へ** 換スイッチ2からの出力信号をそのままn個のアンドゲ ート6 A」~6 An に送るような構成とすればよい。こ には、**切換スイッチ 1 の出力が" L"で、切換スイッチ** (*0 *) に固定され、アンドゲート6 A』 ~6 A_n ~ の信号が"し"で回路プロック4日への入力は"し"

[0018] このような第2の実施例によれば、動作モ 一下に応じて使用されない回路プロックへの入力情号が 固定されるため、1/0の状態の変化がなくなり、流れ る電流の最が減って1C回路会体での電力指数量を抑え 他のモードも同様な動作であるため、説明を名略する。 ~7 Anからの各入力信号が供給されることになる。

おり、このクロックイネーブルコントロールロジック回 路8からの一の出力信令を回路プロック4Aへのクロッ クの供給を即卸するためのアンドゲート9Aに送り、ロ ジック回路8からの他の出力信号を回路プロック46〜 のクロックの供給を慰留するためのアンドゲート9 ほに 送っている。これらのアンドゲート9A、9Bには、水 品版動子 1.1 を用いたクロック発生用の発展回路 1.0か ちのクロック信号が供給されている。 アンドゲート9A からの出力信号は回路プロック4Aのクロック人力協予 に送られ、アンドゲート9日からの出力信号は回路プロ を示し、使用しない回路プロックのフリップフロップ等 ロックイネーブルコントロールロジック回路 8 に送った 【0019】女に、図3は、本苑里に宋る第3の汉稿室 この図3において、切換スイッチ1、 2からの信号をク へのクロックを停止あるいは運動する例を示している。 ック4Bのクロック入力処子に近られている。

ルロジック回路8の具体倒は、切換スイッチ1からの出 で、切換スイッチ2の出力が"II"であるから、クロッ ックが盗野(供給年に)され、アンドゲート9Aへの信 版回路10からのクロックが供給されることになる。他 【0020】この場合のクロックイネーブルコントロー 力信号をそのままアンドゲート9Bに送り、切換スイッ チ2からの出力信号をアンドゲート9 Aに込るような情 成とすればよい、ここで例えば上記状態"01"の第1 ケイネーンドコントローケロジック回路 8 からアンドゲ **ート9Bへの信号が"L"で回路プロック4Bへのクロ 身が"H"で将道状盤となり、回路プロツク4Aには殆** [0021] これは、IC内部のフリップフロップがい る。動作モードに応じて使用されない回路プロックへの わゆろスタティックタイプのものであるとき有用であ の動作モード時には、切換スイッチ1の出力が"1.* のモードも同様な動作であるため、説明を省略する。

は、上配筋3の実施例の構成を使うことができず、次の ロードロジック回路 1 2 に扱っており、このクロック區 破数コントロールロジック回路 1.2からの一の出力信号 クロック供給が透断されるため、動作が停止され、危務 [0022] ところで、1C内部にいわゆるダイナミッ 図4に示すような第4の実施例の構成を用いることが好 切換スイッチ1、2かちの信号をクロック周鼓数コント ましい。十なわち、図4に示す節4の攻焔倒において、 クタイプのフリップフロップが用いられている場合に 量が扱って、弦楽気力が抑えられる。

を回路プロック4Aに供給するクロックを選択するため

の信号が "H" で回路プロック4Aには各人力協子7A

3

68平6-112810

る。セレクタ13Aからの出力信号は回路プロック4A のクロック人力塩子に送られ、セレクタ13Bからの出 力信号は回路プロック4Bのクロック入力始子に送られ のセレクタ13Aに送り、ロジック回路12からの他の めのセレクタ13日に送っている。これらのセレクタ1 3A、13Bには、水晶板動子11を用いたクロック発 生用の発板回路10からの第1の周波数のクロック信号 と、このクロック信号を分周回路14で分周した第2の 悩波数のクロック信号との両方がそれぞれ供給されてい ロック信号は正常動作を行わせるための信号であるのに 対し、分周回路14で分周された第2の周波数のクロッ 出力信号を回路プロック4B〜のクロックの選択するた ている。ここで、発援回路10かちの第1の周波数のク ク信号は通常よりも低い周波数で、後述するようにダイ ナミックフリップフロップに大きな電流を流さないよう にする程度の周波数の信号である。

ジック回路12の具体倒をしては、切換スイッチ1から ッチ2からの出力信号をセレクタ13Aに送るような構 としては、いずれも、選択制御信号が"H"のときに発 い。ここで例えば上記状態"01"の第1の動作モード 数のクロック信号が選択されて回路プロック4日に供給 成とすればよく、これに対するセレクタ13A、13B 時には、切換スイッチ1の出力が"し"で、切換スイッ チ2の出力が"H"であるから、クロック周波数コント **身が"L"となり、分周回路14からの上缸節2の周設** が供給されることになる。他のモードも同様な動作であ [0023] この場合のクロック周故数コントロールロ の出力信号をそのままセレクタ13Bに送り、切換スイ し、助御信号が"し"のときに分周回路14からの第2 ロールロジック回路12からセレクタ13B〜の駐倒街 されるのに対し、セレクタ13Aへの制御信号が"H" で、回路プロック4Aには発版回路10かちのクロック 板回路10からの第1の周波数のクロック信号を選択 の周故数のクロック信号を選択するものを用いればよ るため、説明を省略する。

プフロップの動作収理について、図5〜図7を参照しな [0024] ここで、いわゆるCMOS I Cを用いる ルMOSトランジスタ22のゲート及びNチャンネルM ャンホルMOSトランジスタ22のソースはVddd配路 子に樹搗され、ドレインはNチャンネルMOSトランジ れ、NチャンネルMOSトランジスタ23のソースはG nd (校选) 処子に協議されている。PチャンネルMOS トランジスタ22はゲートが"し"になるとオン(ドレ **メソーンーメ密がローインアーダンス) わなり、Nチャ** ンネルMOSトランジスタ23はゲートが"H"でオン 場合の懸作稿流について、及び上記ダイナミックフリッ がら説明する。光ず図5は、いわゆるCMOSインバー タの製師の概略構成を示し、入力増子21がPチャンネ OSトランジスタ23のゲートに接続されている。Pチ スタ23のドレインに接続されて出力端子24に接続さ

MOS トランジスタ 2 2 がオンして、上記 V dd 転厳レベ に、あるいは"し"から"H"に変化すると、変化の途 ルMOSトランジスタ23が共にある程度オンになる瞬 (敬勉) フペゲの哲母"し"が出力猶予24から取り出 されるのに対し、入力が"し"のときにはPチャンネル 中でPチャンネルMOSトランジスタ22、Nチャンネ 聞があり、このとき Vdd個数路子からCud(殷趙) 絡子 に比較的大きな恒流が流れる。これが、上述した1C内 [0025] 入力超子21の入力が"H"のとき、Nチ ルの信号 "H" が出力される。入力が "H" から "L" 部の1/0の状態変化が少ないほど虹流消費量が少なく ャンネルMOSトランジスタ23がオンし、上記Gnd できる理由である。

[0026] 改に、ダイナミックフリップフロップの番 ナンネルMOS トランジスタ 3 4 と N チャンネルMOS トランジスタ35との一方の後観点に接続され、他方の OSトランジスタ34のゲートには猶子32かちの反転 ジスタ 3 5 のゲートには 縫子 3 3 からのクロック 留与 C 原始子に依頼され、ドレインはNチャンネルMOSトラ 台には、例えば図6に示すように、その内部のノードa っている。ナなわち、この図6において、入力増子31 は、ソースードレイン間が互いに並列に接続されたPチ 接続点aは容量36に接続されている。 PチャンネルM クロック信号<u>CK</u>が、また、NチャンネルMOSトラン ンネルMOSトランジスタ3 8のゲート及びNチャンネ P チャンネルMOS トランジスタ38のソースは Vdd ソジスタ 3 9の ドフインに被続されて 田力越子 3 7 に敬 設され、NチャンネルMOSトランジスタ39のソース の低圧保持を容量(コンデンナや浮遊容量)36にたよ Kがそれぞれ供給されている。上配接続点aは、Pチャ ルMOSトランジスタ39のゲートに接続されている。 はGnd (後地) 蝎子に破綻されている。

Kが"H" (CKが"L") のときには、Pチャンネル に関わりなく点ョの包圧が保持される。これは、点ョが **蒋ち着くことになる。このとき、上述した図5の説明と** 8、39)において、Vdd質数数子からGnd (仮想) 塩 子に比較的大きな電流が流れてしまう。これを防ぐため [0027] この図6の構成において、クロック信号C MOS トランジスタ 3 4 と N チャンネル MOS トランジ スタ35とが共にオン状態となって点 a に入力端子31 のワペルが現れ、その後クロック信号CKが"し"とな ると、入力端子31と点 a との間の接続が切れて、入力 **ダインアーダンメになっていて、点mに付いて見えてし** まう容量36に電信が保持されることで電圧が保たれる 点aは上記Vdd低遊覧圧とGnd(被地)との中間位位に からかめる。しかし、庖インアーゲンスとはいっても、 小さな容量36に増えられた配荷は関もなく放出され、 阿様に、点ョの出力側のインパータ(トランジスタ3 に、このような状態になる前に再びクロックCKを

'H" にして、点aに入力レベルを与えてやる必要があ

[0028] 図7の (A) ~ (D) は上述したような動 作を説明するための寂形図であり、(A)はクロック信 は上町a 点の亀田(フベケ)を、また(D)は出力超子 て、母紅い」ではクロック信号(A)が"H"であるか ら、入力(B)が"H"から"L"に変化すれば、上配 8 点の亀田(フベル)(C)も"H"から"L"に貸化 し、インバータ出力 (D) は"L"から"H"に変化す 容量36に著えられた町荷が徐々に放電されて、a 点の 気圧(C)が上記Vdd電激気圧とGnd(原地)との中間 塩位に近付いてゆき、例えば時刻13 でこの中間電位と なると、インパータ出力 (D) は不定となる。このとき 大きい気流が流れることになるため、時刻13 よりも的 の時点で (A) のクロック信号CKを"H"とするよう な周波数の信号を上配分周回路14から得るようにして 37の出力信号をそれぞれ示している。この図7におい 号CKを、(B)は入力協子31の入力信号を、(C) る。時刻12 でクロック信号 (A) が"L"となると、 やればよい。

ない範囲でなるべく低い周数数(上配筋2の周波数)に はこの低い周波数のクロック信号を供給するようにすれ [0029]従って、図4に示した本発明の第4の実施 例においては、通常動作時の本来の周波数(上配第1の 周波数) のクロック信号を、ダイナミックフリップフロ ップの内部ノード(8点)の電圧が上記中間電位になら 分周し、動作モードによって使用しない回路プロックに

[0030] なお、本発明は上記英施例のみに限定され ろものではなく、例えば、上記第1の英施例から第4の 実施例までの内の任何の2つ以上を組み合わせて使用す るようにしてもよく、帯に、上配第1の実施例と上配算 4の実施例とを組み合わせて用いるのが好ましい。この **始、3つ以上の回路プロックが散けられたディジタル!** Cに本発明を適用できることは勿論である。 【発明の効果】以上の説明からも明らかなように、本発 明に係るディジタルIC装置によれば、内部が複数の機

間プロックに分かれて構成され、所定の動作モード時に 使用される第1のプロックと使用されない第2のプロッ クとを有するディジタル I C数個において、所定の動作 モード時には使用されない類2のプロックについて、フ リップフロップをクリア状態としたり、人力信号を固定 したり、クロックを停止又は低い周波数に切り換えたり **することにより、政策2プロックを流れる電流量が減少** し、魅力消費量を抑えることができる。

[図道の簡単な説明]

【図1】本発明に係るディジタル I C数額の類 1 の状態 当の政的の概略体成を示すプロック図でもる。

【図2】本発用に保るディジタル + C設備の筋 1 の英雄 例の製部の概略構成を示すプロック図である。 数政治例 の動作を説明するための政形図である。

【図3】本発明に係るディジタルIC数質の筋1の実施 別の政治の政略は成功がナプロック図である。

[図4] 本発明に係るディジタル! C装置の原1の実権 【図5】CMOSインパータの数部律成を示す回路図む 別の契節の概略様成を示すプロック図である。

【図6】ダイナミックフリップフロップの製筋構成を示 ナ回路図である。

【図 7】図6の動作を収明するための被形図である。 【称号の収明】

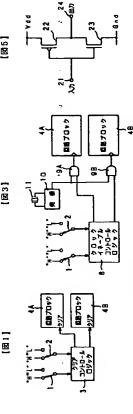
6A1 ~6An, 6B1 ~6Bn, 9A, 9B... 5・・・・・入力イネーブルコントロールロジック 3・・・・クリアコントロールロジック 4A、4B・・、・・国路プロック 1、2・・・・辺破スイッチ

7 A i ~ 7 A n 、 7 B i ~ 7 B n ・・・・ 倍身入力隘 ・アンドゲート

8・・・・クロックイネーブルコントロールロジック

12・・・・クロック函数数コントロールロジック 10・・・・クロック発扱回路 11・・・・水品板動子

13A, 13B....tv24 14・・・・分周回路



17.77 4.

9

等日中日-112810

